
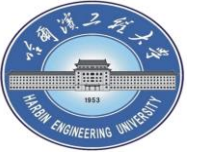


第4章 I/O端口地址译码技术



第4章 I/O端口地址译码技术



- 4.1 I/O端口及其编址方式
- 4.2 I/O端口地址译码



4.1 I/O端口及其编址方式

- 4.1.1 I/O端口和I/O操作
- 4.1.2 I/O端口地址编址方式
- 4.1.3 独立编址方式的端口访问
- 4.1.4 I/O端口地址分配



4.1.1 I/O端口和I/O操作

1. I/O端口

定义：端口（Port）是接口电路中能被CPU直接访问的寄存器（的地址）。CPU与外设之间交换信息具体是通过I/O端口来进行的。



4.1.1 I/O端口和I/O操作

一个接口可以有几个端口:

- 8255A并行接口芯片有**4个**端口
- 8237A DMA控制器芯片有**16个**端口
- 8251A可编程串行接口芯片有**2个**端口
- 8259A可编程中断控制器也只有**2个**端口
- **只读不写、只写不读、可以写也可以读。**



4.1.1 I/O端口和I/O操作

2. I/O操作

所谓I/O操作就是指对I/O端口的操作，而不是对I/O设备的操作，即CPU所访问的是与I/O设备相关的端口，而不是I/O设备本身。



4.1.2 I/O端口地址编址方式

两种编址方式:

- **统一编址** 即存储器映射方式;
- **独立编址** 即I/O映射方式。



4.1.2 I/O端口地址编址方式

1. 统一编址，即存储器映射方式

- **从存储器空间划出一部分地址空间给I/O设备，把I/O接口中的端口当作存储器单元进行访问，不设专门的I/O指令，使用访问存储器的指令。**



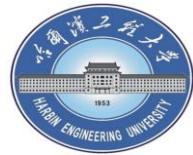
4.1.2 I/O端口地址编址方式

特点

- 主存单元与I/O端口一起编址；
- 根据地址区分访问的是I/O端口还是主存；
- 系统中可以不设I/O指令。

优缺点

- 指令兼容，存储器指令也可用于I/O数据传送，但指令比专门I/O指令长，执行速度慢；
- I/O接口有较大的编址空间，但端口占用存储器的地址空间；
- I/O部分的控制逻辑比较简单。



4.1.2 I/O端口地址编址方式

2. 独立编址，即I/O映射方式

- 单独设置一个空间，必须使用专门的输入/输出指令访问I/O端口。
- 在80X86系列中，I/O地址和存储器单元的地址空间是各自独立的。直接把输入输出指令中给出的端口地址传送给地址总线。
- 独立编址方式，难免在地址总线上出现相同的端口地址和存储单元地址，8086CPU有一个控制信号 $M/\overline{IO}=1$ 时，访问存储器；当 $M/\overline{IO}=0$ 时，访问I/O端口。



4.1.2 I/O端口地址编址方式

特点

- 主存单元与I/O端口分开寻址；
- 设置专门的I/O指令；
- 指明是访问I/O端口，还是主存单元。

优缺点

- 独立的控制结构，使其可与存储器分开进行设计；
- 单独的I/O指令，可与访问存储器的指令区分；
- 指令地址较短，所需译码硬件较少；
- 指令格式较短，执行时间也短。



4.1.3 独立编址方式的端口访问

- 所谓对端口的访问就是CPU对端口的读/写。指I/O端口与CPU的累加器之间的数据传送，并未涉及数据是否传送到存储器的问题。

- 输入：

端口数据 → CPU中的累加器 → 内存

- 输出：

内存中的数据 → CPU中的累加器 → I/O端口



4.1.3 独立编址方式的端口访问

1. I/O指令中端口地址的宽度

- 1) 若端口采用单字节地址，且直接在指令中给出端口地址。
最多可访问 $2^8=256$ 个端口。

格式： IN AL, port ; 输入

OUT port, AL ; 输出 (port 为一个8位字节地址)



4.1.3 独立编址方式的端口访问

80X86的I/O指令

1) 输入指令 IN

IN AL/AX, n

IN AL/AX, DX

2) 输出指令 OUT

OUT n, AL/AX;

OUT DX, AL/AX;



4.1.3 独立编址方式的端口访问

例:

OUT 63H, AL;

63H为系统板8255A的控制端口地址。

IN AL, 62H;

62H为系统板8255A的PC端口地址;



4.1.3 独立编址方式的端口访问

2) 若接口控制卡上采用**双字节地址**，则用寄存器间接给出端口地址，地址总放在寄存器**DX**中。**最多可寻址 $2^{16}=64\text{K}$** 。

格式: `MOV DX, $\times\times\times\times\text{H}$`
`IN AL, DX ; 输入`

`MOV DX, $\times\times\times\times\text{H}$`
`OUT DX, AL ; 输出`

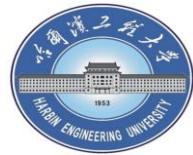


4.1.3 独立编址方式的端口访问

例： MOV DX, 302H;
IN AL, DX
MOV DX, 303H;
OUT DX, AL

注释1： 302H为扩展板8255A的PA口

注释2： 303H为扩展板8255A的控制口



4.1.3 独立编址方式的端口访问

存储器与I/O端口之间的访问

输入时: MOV DX, 300H ;I/O端口

IN AL, DX ;从端口读数据到AL

MOV [DI], AL ;数据从AL→存储器

输出时: MOV DX, 301H ;I/O端口

MOV AL, [SI] ;从内存取数到AL

OUT DX, AL ;数据从AL→端口



4.1.4 I/O端口地址分配

1、I/O端口硬件分类

(1) 系统板上的I/O芯片

定时/计数器、中断控制器、DMA控制器、并行接口等

(2) I/O扩展槽上的接口控制卡（适配器）

软驱卡、硬驱卡、显卡、声卡、网卡、并行、串行通信卡



4.1.4 I/O端口地址分配

2、I/O端口地址分配

早期IBM—PC使用地址线中的低10位，A0~A9寻址范围0000H~03FFH共1024个端口，前512个端口分给主板，后512个端口分配给扩展槽的常规外设。

后来PC/AT系统中前256个端口00H~0FFH供系统板上的I/O接口芯片使用，后768个100H~3FFH供扩展槽上的接口控制卡使用，其中允许用户使用的地址是300H~31FH。

4.1.4 I/O端口地址分配



系统板上接口芯片的端口地址

I/O芯片名称	端口地址
DMA控制器1	000H~01FH
DMA控制器2	0C0H~0DFH
DMA页面寄存器	080H~09FH
中断控制器1	020H~03FH
中断控制器2	0A0H~0BFH
定时器	040H~05FH
并行接口芯片	060H~06FH
RT/CMOS RAM	070H~07FH
协处理器	0F0H~0FFH

扩展槽上接口控制卡的端口地址

I/O芯片名称	端口地址
游戏控制卡	200H~20FH
并行控制卡1	370H~37FH
并行控制卡2	270H~27FH
串行控制卡1	3F8H~3FFH
串行控制卡2	2F8H~2FFH
插件板（用户）	300H~31FH
同步通信卡1	3A0H~3AFH
同步通信卡2	380H~38FH
单显MDA	3B0H~3BFH
彩显CGA	3D0H~3DFH
彩显EGA/VGA	3C0H~3CFH
硬驱控制卡	1F0H~1FFH
软驱控制卡	3F0H~3FFH
PC网卡	360H~36FH



4.1.4 I/O端口地址分配

3、I/O端口地址选用原则

- (1) 系统占用的不能使用。
- (2) 厂商保留的不能使用。
- (3) **用户只用使用300H~31FH一段区间**，为了避免与其他用户开发的插板发生地址冲突，最好使用**地址开关**。



4.1.4 I/O端口地址分配

4、输入/输出指令（IN/OUT）与读/写控制信号（IOR/IOW）的关系

它们是为完成 I/O操作这一共同任务的软件和硬件相互依存，缺一不可的两个方面。 **IOR和IOW是CPU对外设进行读/写的硬件上的控制信号，低电平有效。**但是，这两个控制信号本身不能激活自己，使之变为有效，去控制读/写操作。而必须由软件编程， **在程序中执行IN/OUT指令，才能激活IOR/IOW，使之变为有效，实施对外设的读/写操作。**



4.1.4 I/O端口地址分配

5、CS的作用

片选信号CS是CPU用来在系统中选中某一个接口芯片或控制芯片的。若选中某一芯片，就是选中某一个相应的外设。选中某一个接口芯片的实质是**利用CS这个信号去打通接口芯片的数据线与系统数据总线的连接**，使该芯片的数据线与系统数据总线接通，即选中了这个外设，才能与CPU进行信息传送。

CS信号不是由CPU直接发出的，而是由I/O地址译码电路发出来的。

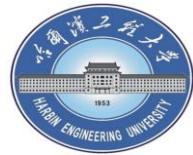


4.2 I/O 端口地址译码

一、I/O 地址译码电路工作原理及作用

I/O地址译码电路即实现地址与端口的对应；其输入信号不仅仅与地址信号有关，而且与控制信号有关。

地址范围要根据4.1.4节的选用原则来选取，还要考虑控制信号的流向、宽度、工作方式等。



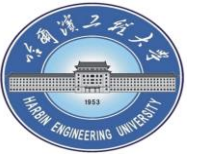
4.2 I/O 端口地址译码

二、I/O地址译码方法

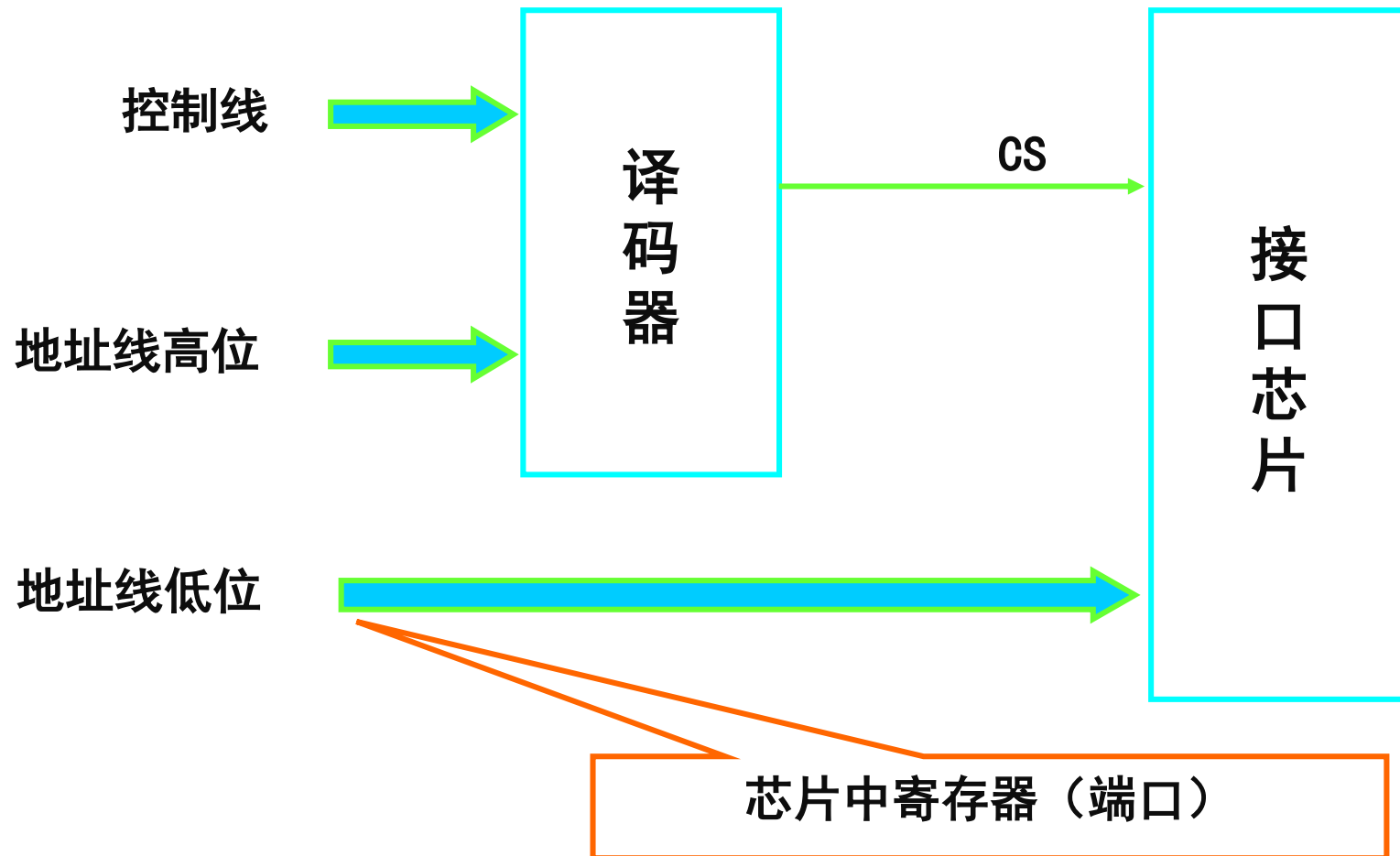
原则：

- 一部分是高位地址线与CPU的控制信号进行组合产生I/O接口芯片的片选信号(\overline{CS})；
- 另一部分是低位地址线直接连到I/O接口芯片,其根数取决于接口中寄存器的个数。

4.2 I/O 端口地址译码



I/O端口地址部分译码方法图





4.2 I/O端口地址的译码

- (1) **固定式端口地址译码**：所谓固定式端口地址译码是指**接口中用到的端口地址不能更改**。
- (2) **可选式地址译码**：可选式地址译码常用的是**开关式可选端口地址译码**。如使用**跳线开关**选择I/O端口译码地址。



4.2 I/O端口地址的译码

1. 固定式端口地址译码

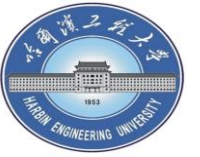
例1、例2、例3

例1. 使用74LS20/30/32设计I/O端口地址为**2F8H**的**只读译码**电路。（地址线：A9~A0）

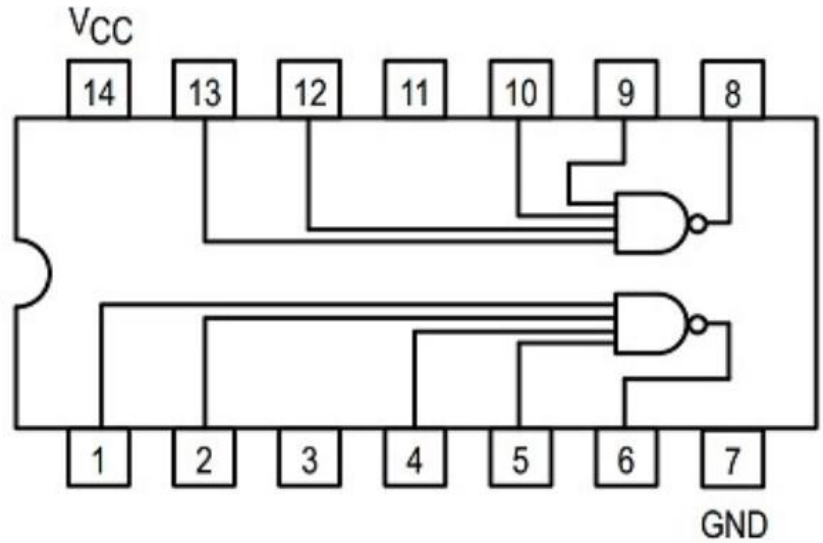
元件:

- 74LS20 双4输入与非门
- 74LS30 8输入与非门
- 74LS32 四2输入或门

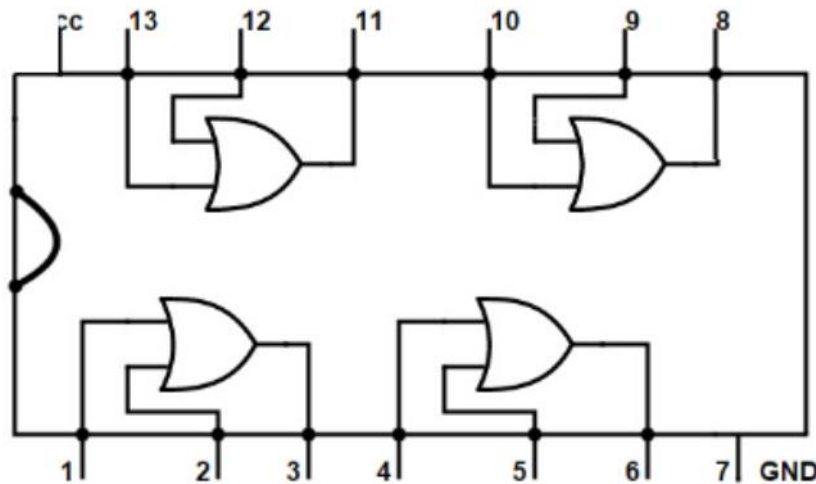
4.2 I/O端口地址的译码



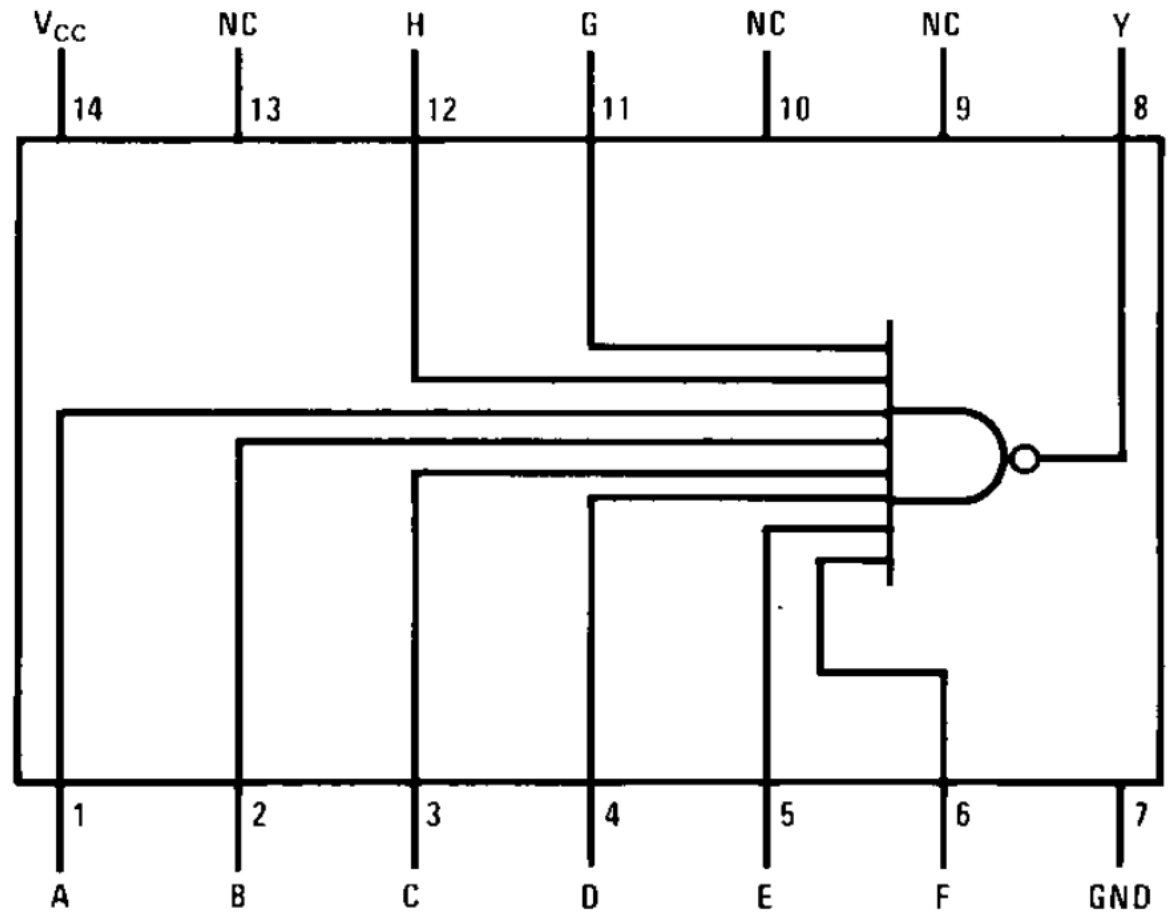
元件逻辑电路图:



74LS20



74LS32



74LS30



4.2 I/O端口地址的译码

- 译码电路输入：A9~A0, AEN, $\overline{\text{IOR}}$
- 地址线：10根，地址值：2F8H

地址线	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
二进制	0	0	1	0	1	1	1	1	1	0	0	0
十六进制	2			F				8				

- 译码电路输出：Y=0 为译码选中。



4.2 I/O端口地址的译码

逻辑表达式：

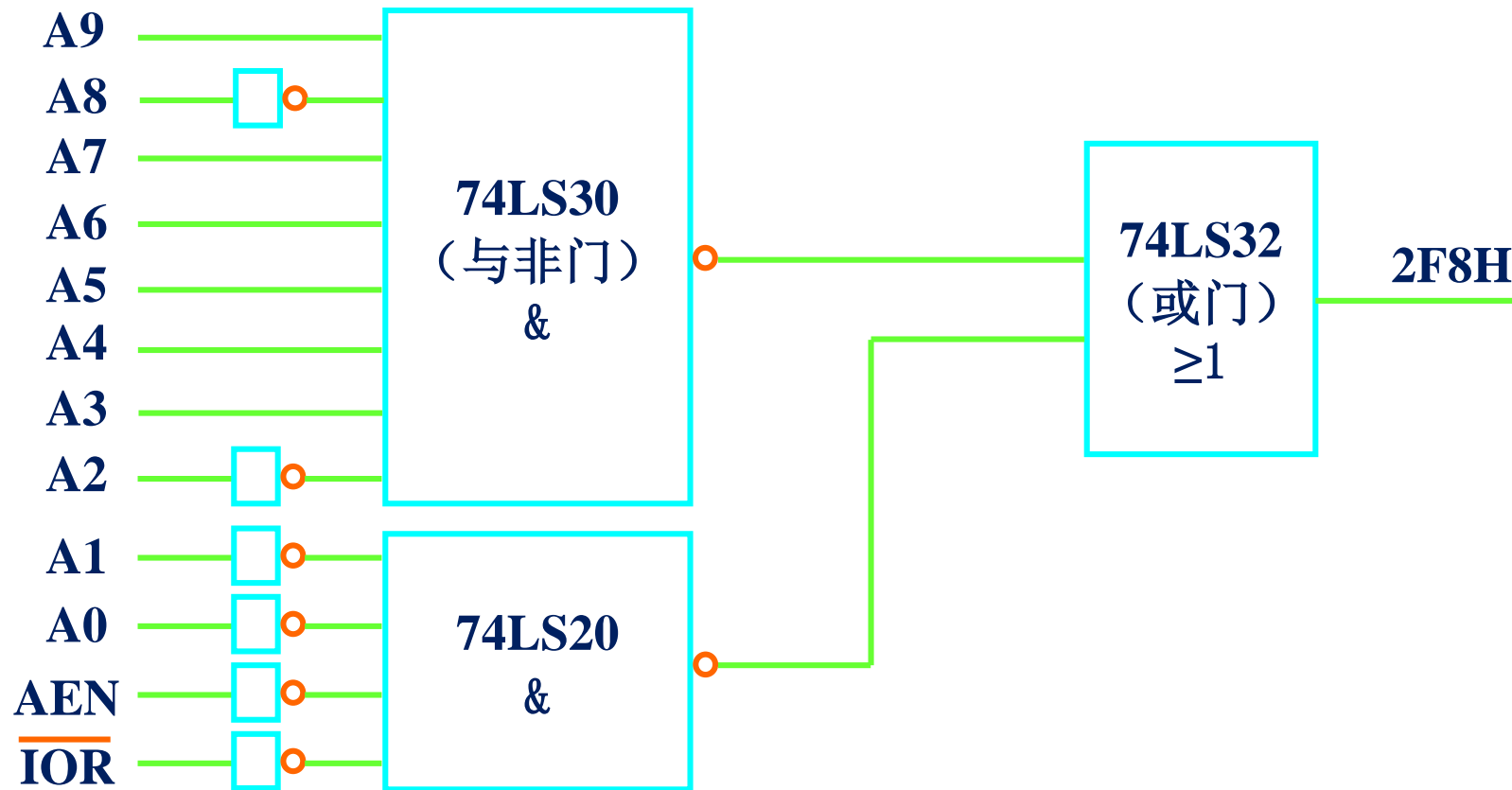
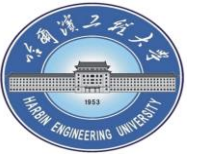
$$Y = \overline{A_9 \overline{A_8} A_7 A_6 A_5 A_4 A_3 \overline{A_2} \overline{A_1} \overline{A_0} A \overline{EN} \overline{IOR}}$$

摩根定律：或非=非与，非或=与非

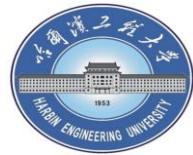
$$Y = \overline{A_9 \overline{A_8} A_7 A_6 A_5 A_4 A_3 \overline{A_2}} + \overline{\overline{A_1} \overline{A_0} A \overline{EN} \overline{IOR}}$$

结论：输出Y低电平有效。即当端口地址为2F8H， $AEN=0$ ， $\overline{IOR}=0$ 低电平时，输出Y有效。

4.2 I/O端口地址的译码



$$Y = \overline{A_9 \overline{A_8} A_7 A_6 A_5 A_4 A_3 \overline{A_2}} + \overline{\overline{A_1} \overline{A_0} AEN \overline{IOR}}$$

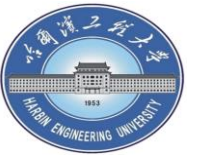


4.2 I/O端口地址的译码

例2. 设计出能读/写操作的**2E2H**端口地址译码电路。

元件:

- 74LS20 双4输入与非门
- 74LS30 8输入与非门
- 74LS32 四2输入或门



4.2 I/O端口地址的译码

- 译码电路输入: $A9 \sim A0$, AEN , \overline{IOR} , \overline{IOW}
- 地址线: 10根, 地址值: 2E2H

地址线	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
二进制	0	0	1	0	1	1	1	0	0	0	1	0
十六进制	2			E				2				

- 译码电路输出: $Y1=0$ (读), $Y2=0$ (写)

采用门电路形成如图译码电路。



4.2 I/O端口地址的译码

逻辑表达式:

$$Y_1 = \overline{A_9} \overline{A_8} \overline{A_7} \overline{A_6} \overline{A_5} \overline{A_4} \overline{A_3} \overline{A_2} \cdot \overline{A_1} \overline{A_0} \overline{AEN} \cdot \overline{\overline{IOR}}$$

读

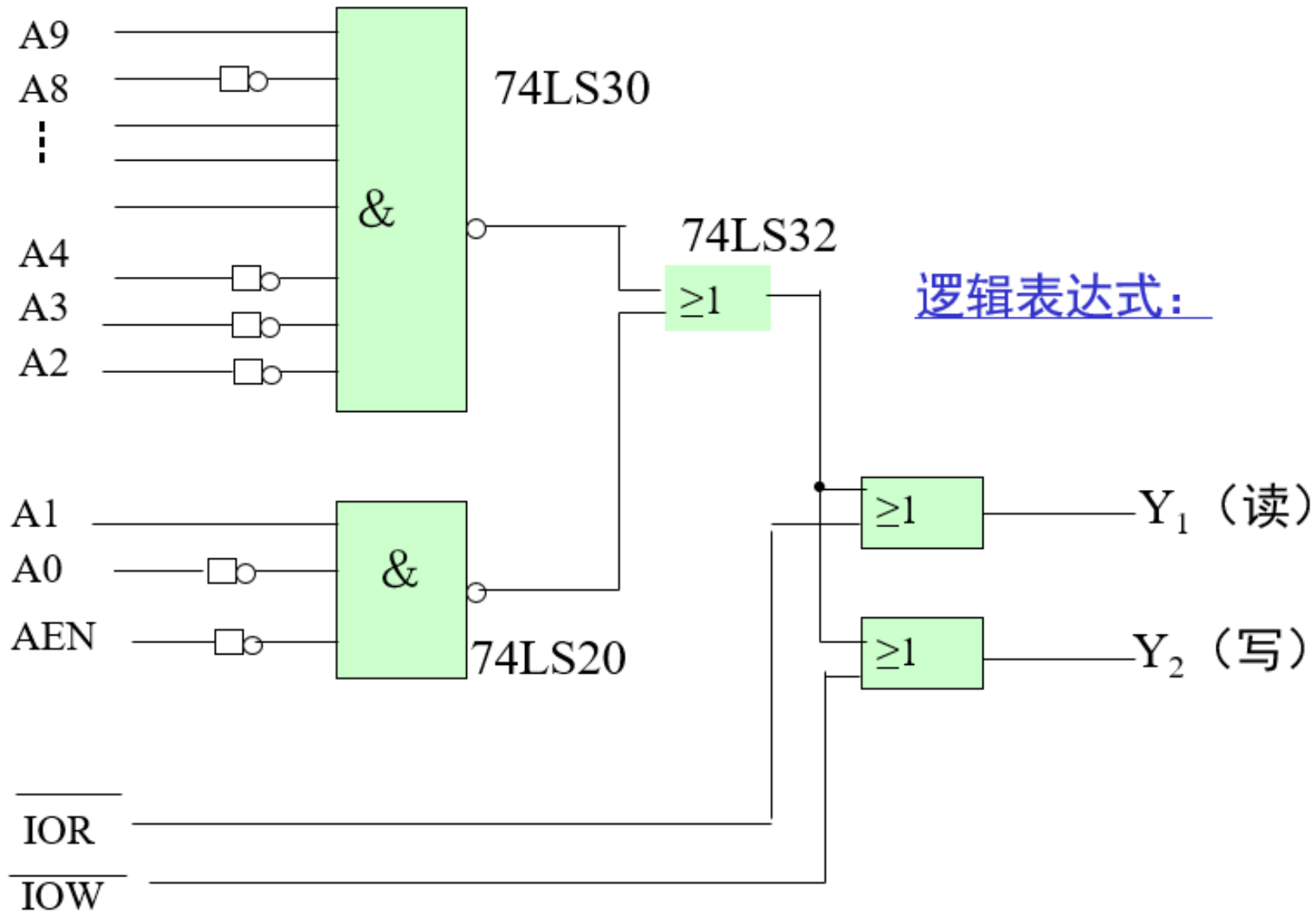
$$Y_1 = \overline{A_9} \overline{A_8} \overline{A_7} \overline{A_6} \overline{A_5} \overline{A_4} \overline{A_3} \overline{A_2} + \overline{A_1} \overline{A_0} \overline{AEN} + \overline{IOR}$$

$$Y_2 = \overline{A_9} \overline{A_8} \overline{A_7} \overline{A_6} \overline{A_5} \overline{A_4} \overline{A_3} \overline{A_2} \cdot \overline{A_1} \overline{A_0} \overline{AEN} \cdot \overline{\overline{IOW}}$$

写

$$Y_2 = \overline{A_9} \overline{A_8} \overline{A_7} \overline{A_6} \overline{A_5} \overline{A_4} \overline{A_3} \overline{A_2} + \overline{A_1} \overline{A_0} \overline{AEN} + \overline{IOW}$$

4.2 I/O端口地址的译码





4.2 I/O端口地址的译码

多个端口地址译码：

- 若接口电路中需使用**多个端口地址**，则采用**译码器**译码较方便。

译码器有：

- 3-8：74LS138
- 4-16：74LS154
- 双2-4：74LS139 、74LS155等



4.2 I/O端口地址的译码

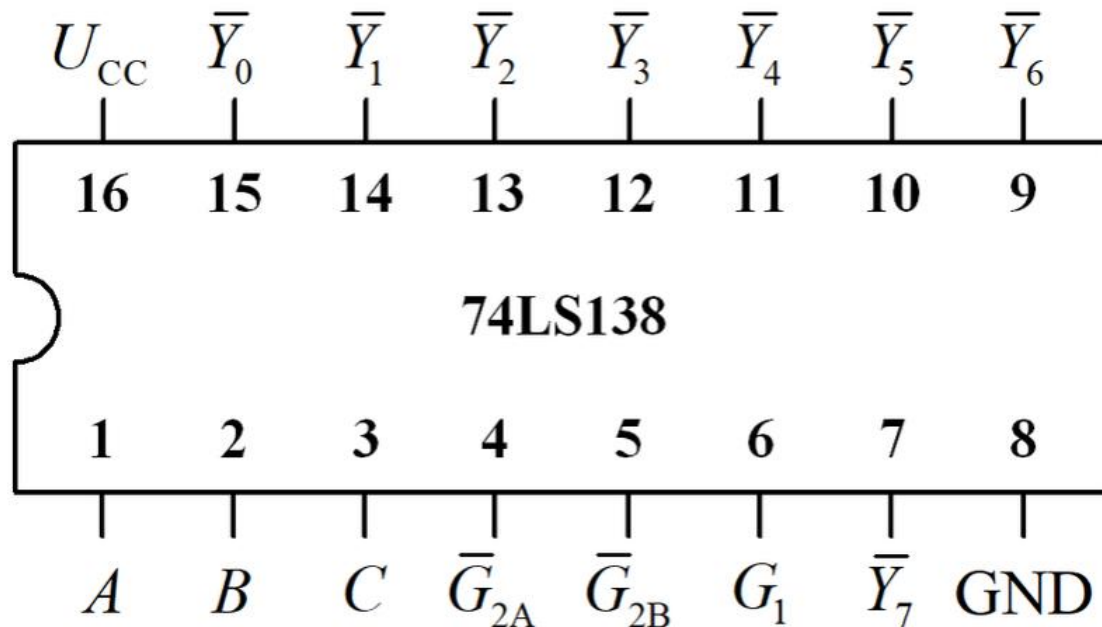
例3. 使用74LS138设计一个**系统板**上接口芯片的I/O端口地址译码电路并且让每个接口芯片内部的**端口数目为32**个。

4.2 I/O端口地址的译码



- 74LS138译码器

输入		译码器输出 (低电平有效)							
使能	变量	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
G	$G_{2A} G_{2B}$	C	B	A					
\times	11	\times	\times	\times	1	1	1	1	1
0	$\times \times$	\times	\times	\times	1	1	1	1	1
100	000	0	1	1	1	1	1	1	1
100	001	1	0	1	1	1	1	1	1
100	010	1	1	0	1	1	1	1	1
100	011	1	1	1	0	1	1	1	1
100	100	1	1	1	1	0	1	1	1
100	101	1	1	1	1	1	0	1	1
100	110	1	1	1	1	1	1	0	1
100	111	1	1	1	1	1	1	1	0

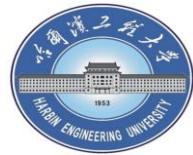




4.2 I/O端口地址的译码

分析:

- 某微机系统板的I/O端口地址：**000H~0FFH**，**A7~A0**，则**A9**，**A8**应赋**0**值。
- 芯片内部32个端口，**A4~A0**保留
- **A7~A5**作输入线，参与译码，或作为74LS138的控制线与**AEN**一起控制74LS138的译码是否有效。



4.2 I/O端口地址的译码

可得译码电路输入线地址值，如下表：

- **地址线：** 00A9A8 A7A6A5 A4A3A2A1A0
- **用途** **控制** **片选** **片内端口寻址**
- **十六进制：** 0H 0~7H 0~FH

对于74LS138的分析：

- **控制信号线：** G1. G2A. G2B
- 当G1=1,G2A=G2B=0时74LS138才能进行译码
- **输入端：** C.B.A； **输出端：** Y0~Y7.
- 输入/输出逻辑关系见下表所示.
- **注：** AEN信号控制非DMA传送.



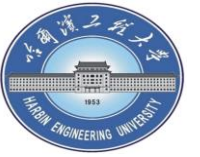
4.2 I/O端口地址的译码

输入/输出真值表:

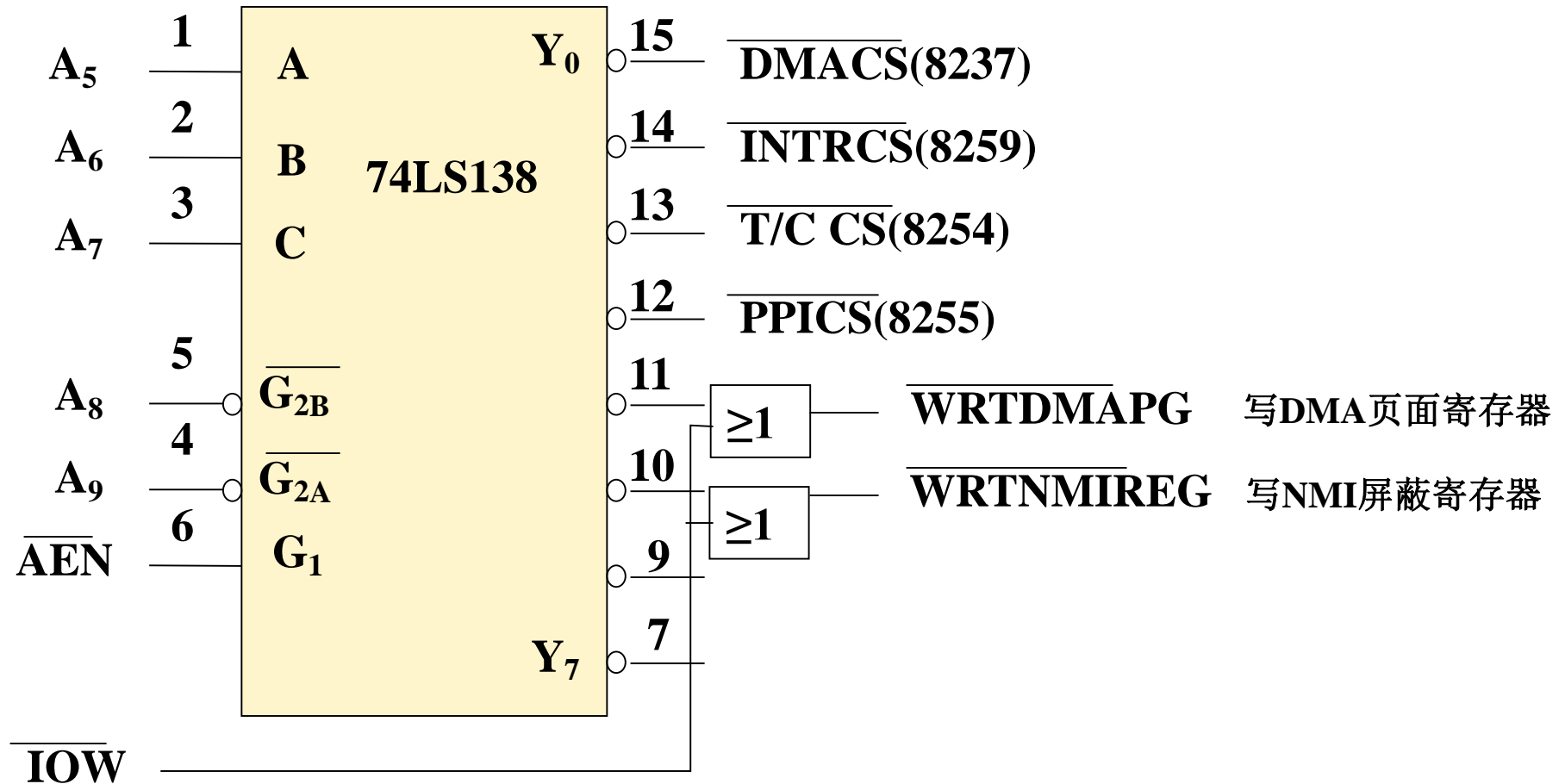
输 入			输 出										
G_1	G_{2A}	G_{2B}	C	B	A	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1

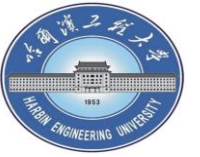
CBA连续时, $Y_0 \sim Y_7$ 亦为连续的。

4.2 I/O端口地址的译码



译码电路：





4.2 I/O端口地址的译码

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	00000 - 11111				
0	0	0	0	0					
0	0	0	0	1	00000 - 11111				
0	0	0	0	1					
0	0	0	1	0	00000 - 11111				
0	0	0	1	0					
0	0	0	1	1	00000 - 11111				
0	0	0	1	1					

片选 地址范围
8237 000H~01FH
8259 ?



4.2 I/O端口地址的译码

2. 可选式端口地址译码

- 采用开关式端口地址译码
 - (1) 使用比较器+地址开关方法
 - (2) 使用异或门+地址开关方法



4.2 I/O端口地址的译码

(1) 使用比较器+地址开关方法

例3 设计**扩展板**上的I/O端口地址译码电路，要求让扩展板上每个接口芯片的内部端口数目为**4个**，并且端口地址**可选**，范围**300H-31FH**。



4.2 I/O端口地址的译码

分析:

地址线	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
二进制	0	0	1	1	0	0	0	0	0	0	0	0	
	0	0	1	1	0	0	0	.					
	0	0	1	1	0	0	0	.					
	0	0	1	1	0	0	0	.					
	0	0	1	1	0	0	0	1	1	1	1	1	
十六进制	3				0 - 1				0-F				



4.2 I/O端口地址的译码

分析:

DIP开关: ON=0, OFF=1

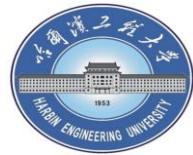
74LS85比较器:比较的对象, 比较的结果

对象: A组4根输入线与地址线连接 **A9A8A7A6**

B组4根输入线与DIP开关连接 **S3S2S1S0**

结果: 3种 A>B, A<B, A=B

取A=B**的结果, 比较器输出高电平, 否则为低.**



4.2 I/O端口地址的译码

DIP的开关状态:

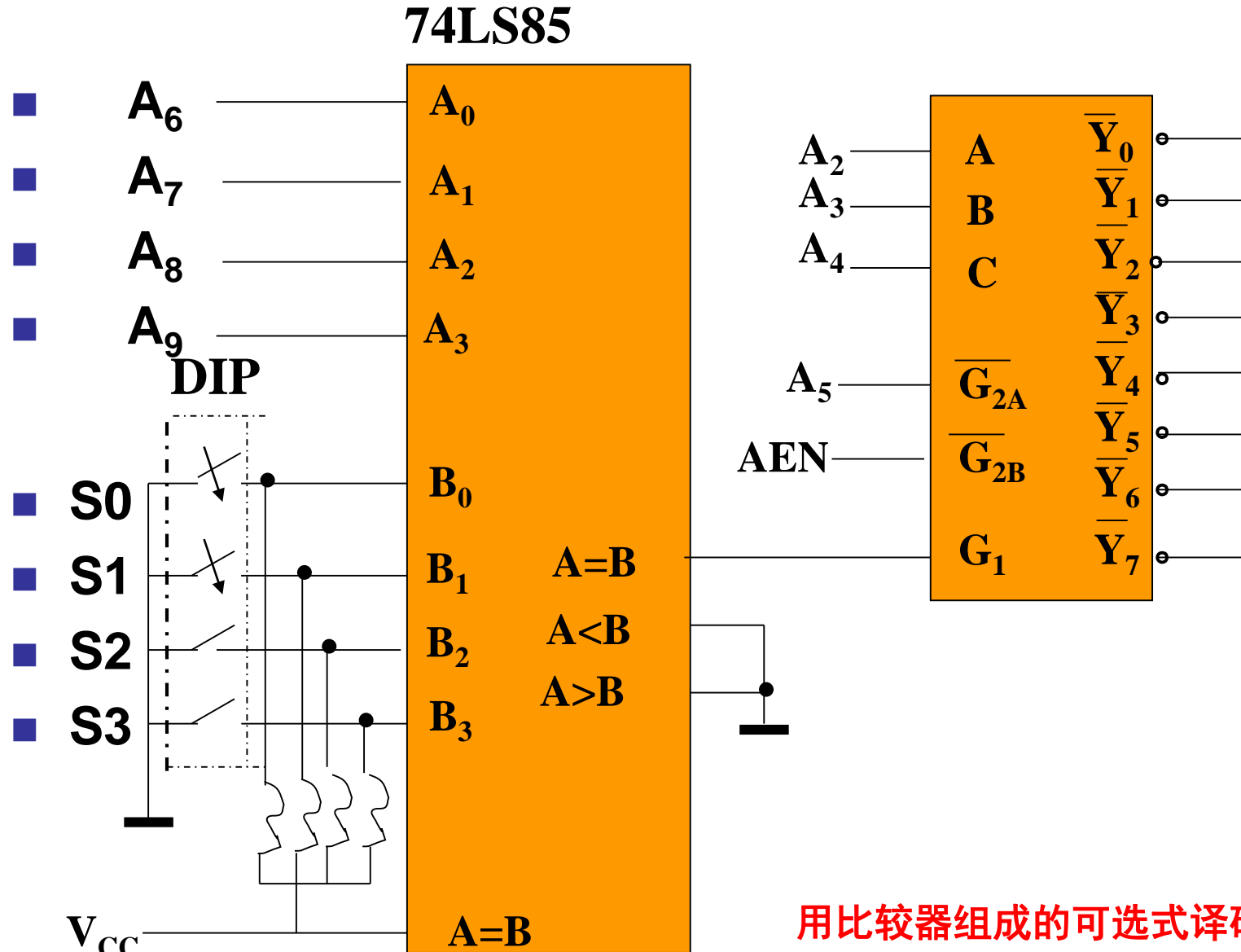
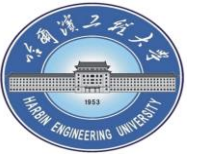
$S3=1$, $S2=1$, $S1=0$, $S0=0$

则有 $A9=1$, $A8=1$, $A7=0$, $A6=0$ 。

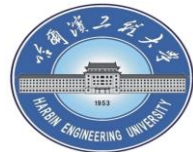
另有: $A5=0$, $A4$ 、 $A3$ 、 $A2$ 分别为**000H~111H**。

由此可得地址范围为**300H~31FH**，片内4个端口

4.2 I/O端口地址的译码



用比较器组成的可选式译码器



4.2 I/O端口地址的译码

地址线	A11	A10	A9	A8	A7	A6	A5	片选			片内	
	A4	A3	A2	A1	A0							
二进制	0	0	1	1	0	0	0	0	0	0	0	0
	0	0	1	1	0	0	0	·				
	0	0	1	1	0	0	0	·				
	0	0	1	1	0	0	0	·				
	0	0	1	1	0	0	0	1	1	1	1	1
十六进制	3			0 - 1				0-F				

结论:

作为接口芯片的地址范围**300H~31FH**:

它可以选择**8个接口芯片**, 每个芯片有**4个端口**



4.2 I/O端口地址的译码

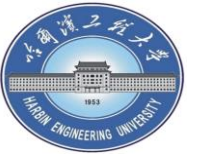
(2) 使用异或门+地址开关方法

要求：用异或门代替比较器，设计**可选式**译码电路。

地址范围：710~717H

元件：

- 3片异或门74LS136
- 9位DIP开关
- 1片译码器74LS138

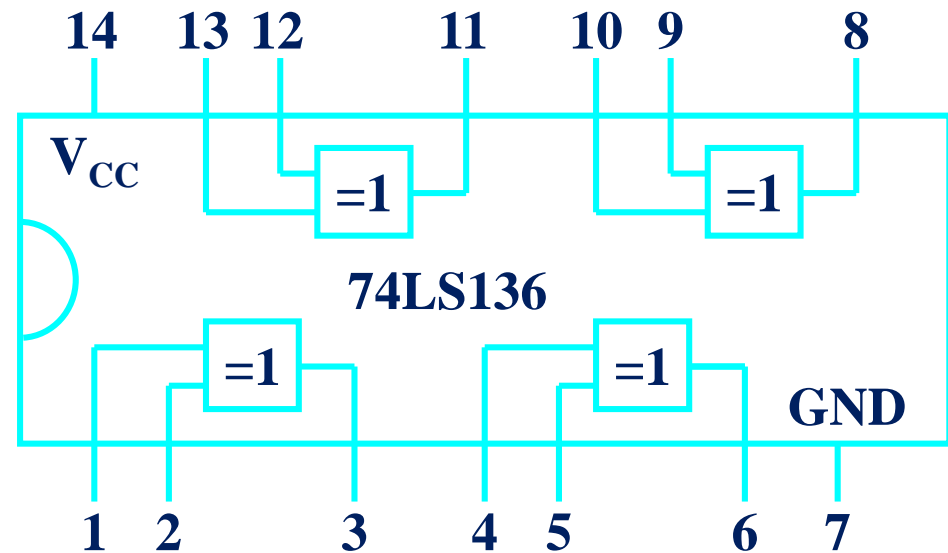


4.2 I/O端口地址的译码

输入信号：A0~A11, AEN, $\overline{\text{IOR}}$, $\overline{\text{IOW}}$

74LS136芯片，有4个异或门，其内部逻辑如图所示

地址范围：710H~717H





4.2 I/O端口地址的译码

按图所设的开关状态，该译码电路输入地址的值如下：

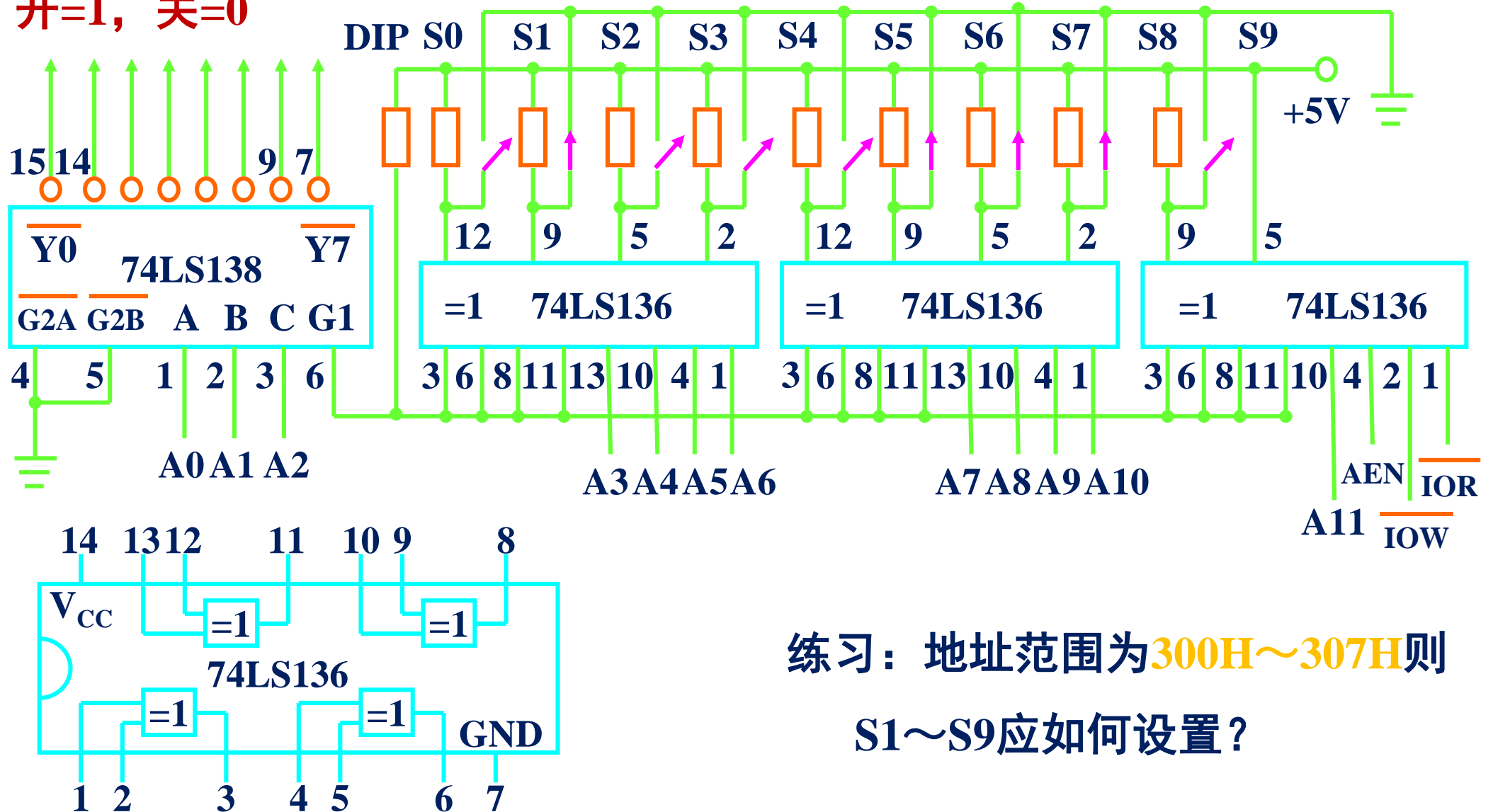
地址线	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
二进制	0	1	1	1	0	0	0	1	0	0	0	0
	0	1	1	1	0	0	0	1	0	0	0	1
	0	1	1	1	0	0	0	1	0	0	1	0
	0	1	1	1	0	0	0	1	0	0	1	1
	0	1	1	1	0	0	0	1	0	1	0	0
	0	1	1	1	0	0	0	1	0	1	0	1
	0	1	1	1	0	0	0	1	0	1	1	0
	0	1	1	1	0	0	0	1	0	1	1	1
十六进制	7				1			0-7				

其地址范围：**710H~717H**

4.2 I/O端口地址的译码



开关：开=1，关=0



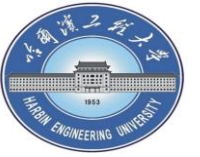
练习：地址范围为300H~307H则

S1~S9应如何设置？

I/O端口地址译码技术习题



I/O端口地址译码技术习题



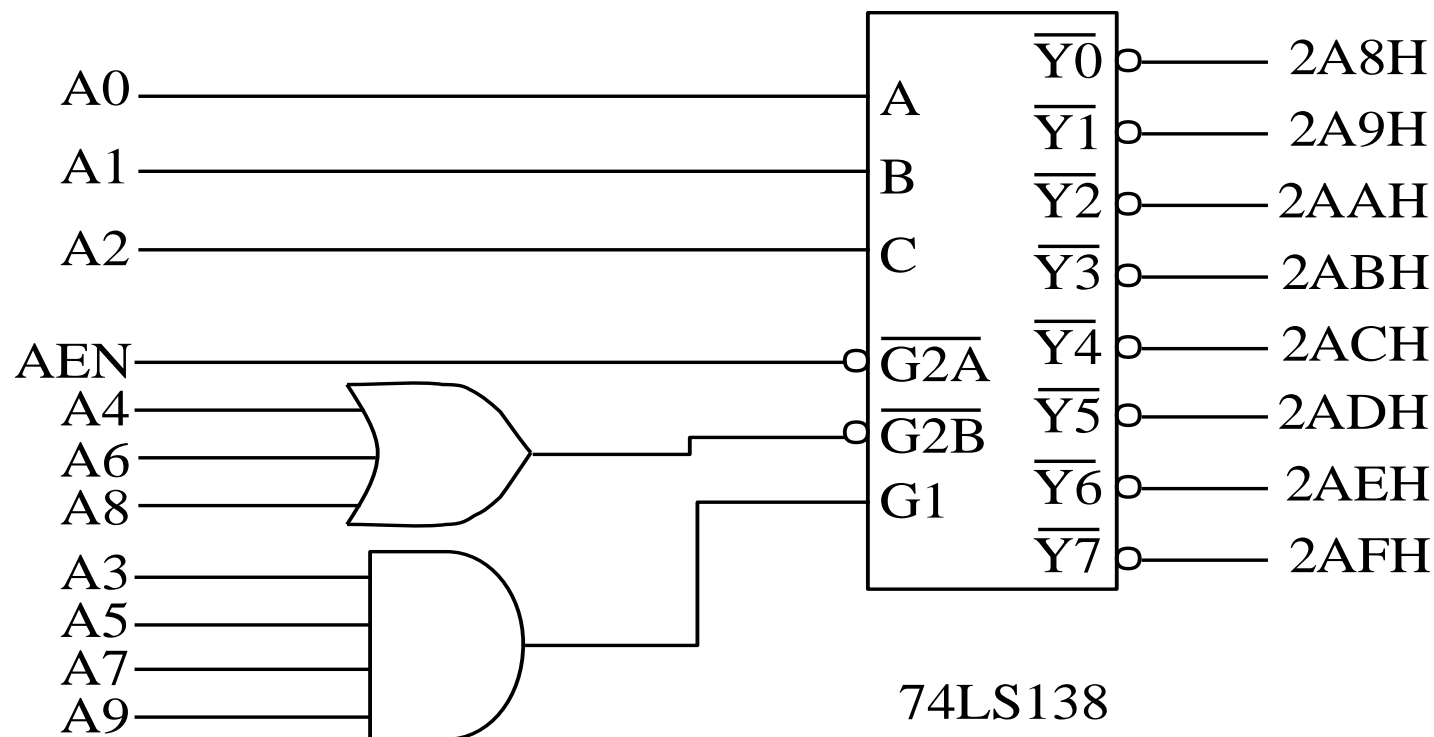
1. 设计一个译码电路（10条地址线、AEN信号），要求产生**2A8H~2AFH**共8个端口地址的选通信号。

I/O端口地址译码技术习题

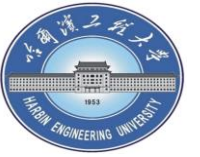


分析：由于要产生8个端口的地址信号，因此适合选用3-8译码器74LS138。对应的地址关系为

地址范围	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
首地址 2A8H	1	0	1	0	1	0	1	0	0	0
末地址 2AFH	1	0	1	0	1	0	1	1	1	1

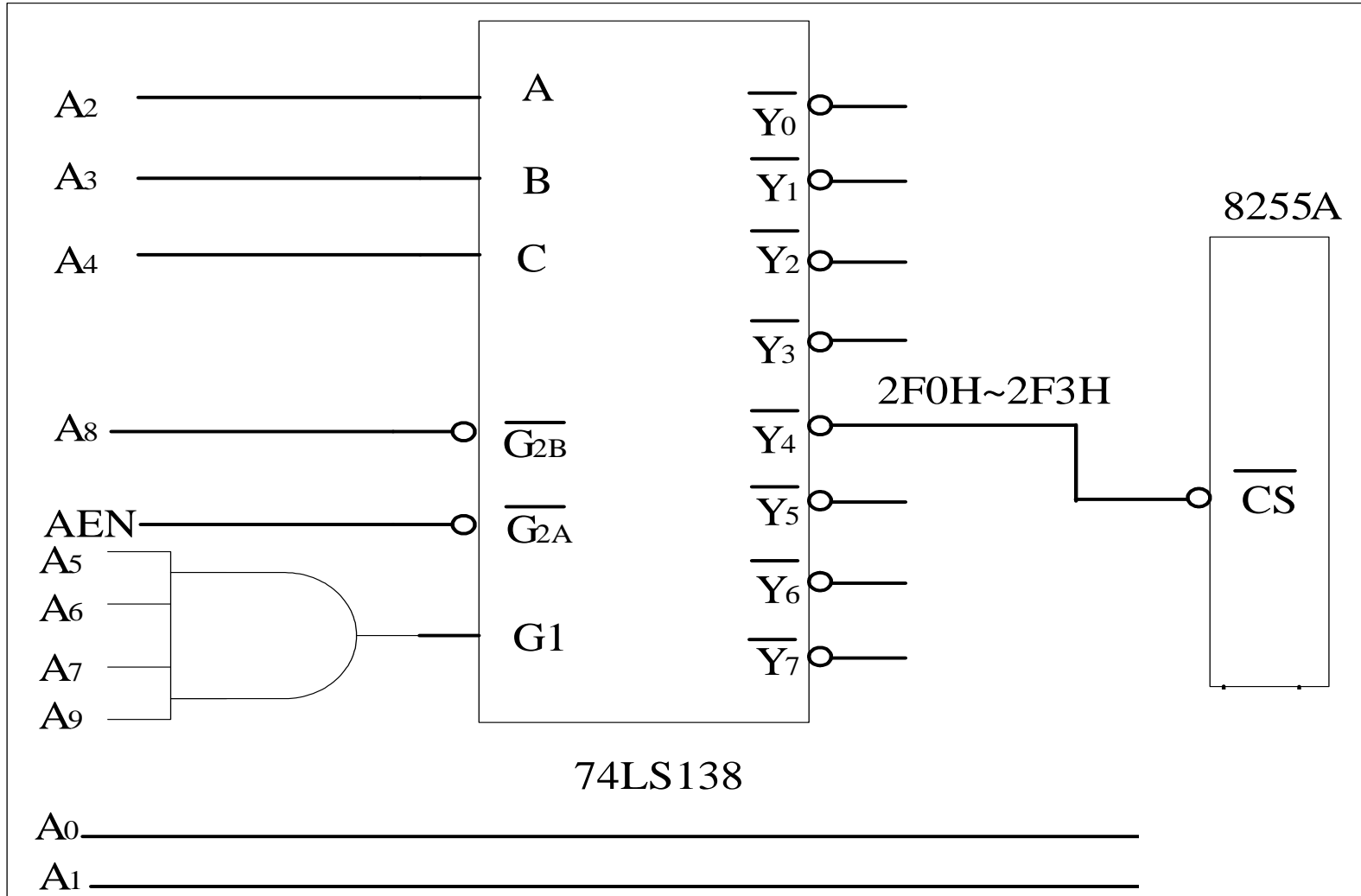
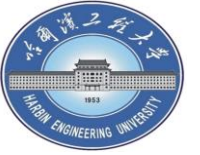


I/O端口地址译码技术习题



2. 已知并行接口芯片8255A有4个端口，片选信号CS为低电平有效。试设计一个译码电路（10条地址线、AEN信号），使该芯片的4个端口地址为2F0H~2F3H。

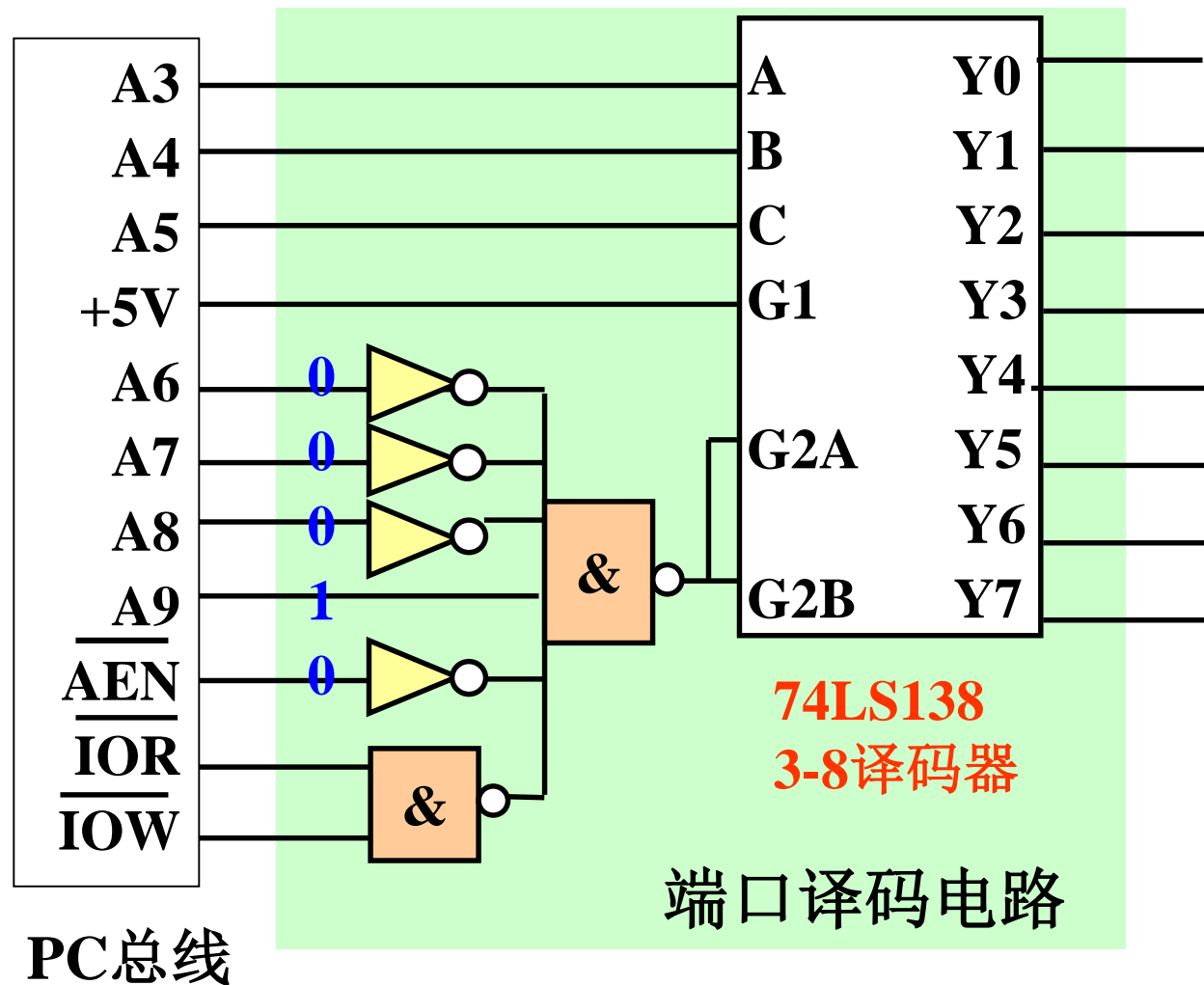
I/O端口地址译码技术习题



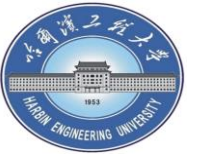
I/O端口地址译码技术习题



3. 分析上图74LS138各输出端的译码地址



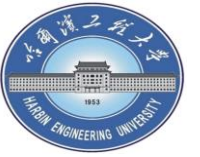
I/O端口地址译码技术习题



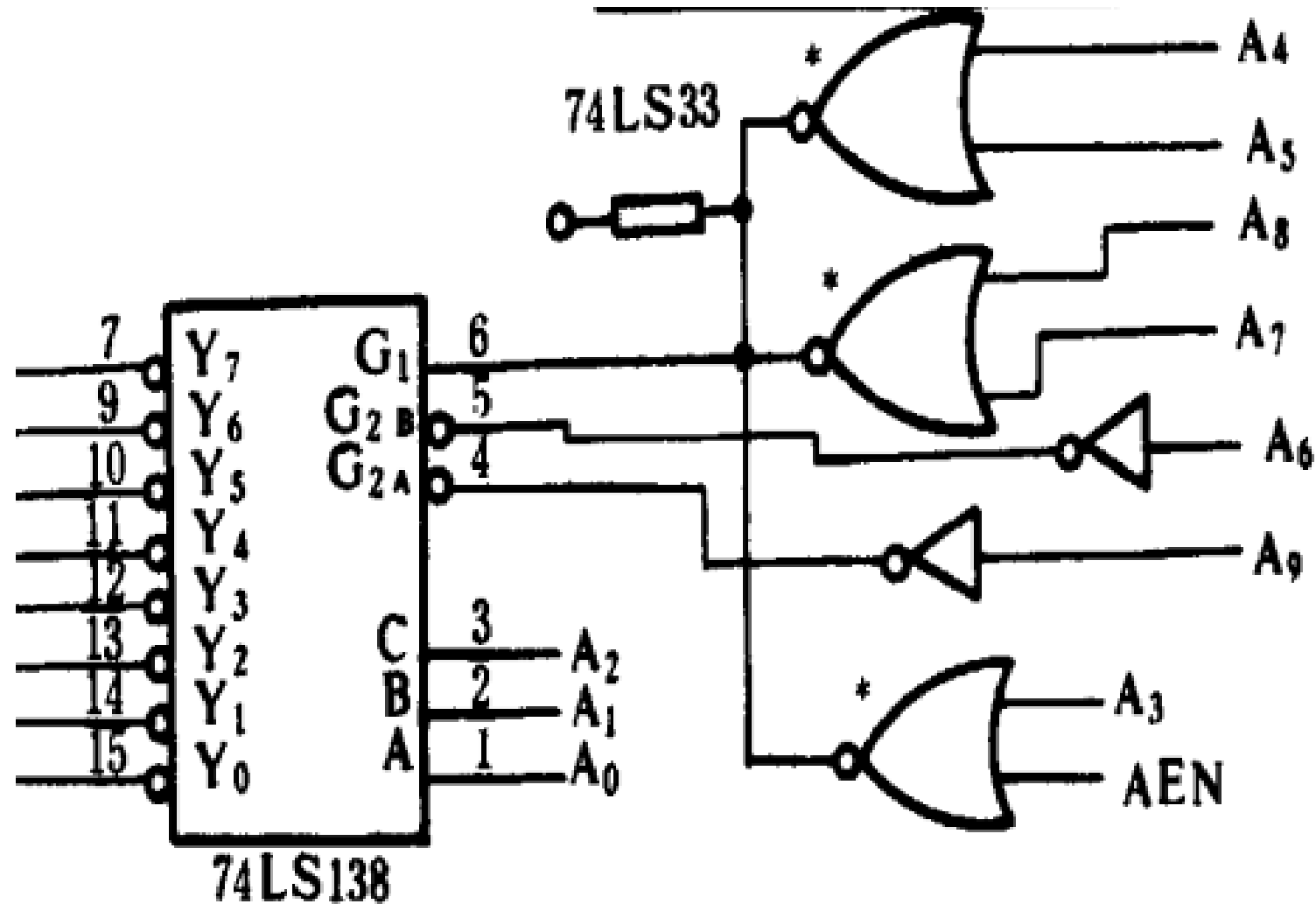
分析结果

使能控制	选择控制	未参与	有效地址范围与 输出端的关系
A9 A8 A7 A6	A5 A4 A3	A2 A1 A0	
1 0 0 0	0 0 0	0 0 0 ~ 1 1 1	200 ~ 207h, $\bar{Y}0=0$
	0 0 1	0 0 0 ~ 1 1 1	208 ~ 20Fh, $\bar{Y}1=0$
	0 1 0	0 0 0 ~ 1 1 1	210 ~ 217h, $\bar{Y}2=0$
	0 1 1	0 0 0 ~ 1 1 1	218 ~ 21Fh, $\bar{Y}3=0$
	1 0 0	0 0 0 ~ 1 1 1	220 ~ 227h, $\bar{Y}4=0$
	1 0 1	0 0 0 ~ 1 1 1	228 ~ 22Fh, $\bar{Y}5=0$
	1 1 0	0 0 0 ~ 1 1 1	230 ~ 237h, $\bar{Y}6=0$
	1 1 1	0 0 0 ~ 1 1 1	238 ~ 23Fh, $\bar{Y}7=0$

I/O端口地址译码技术习题



4. 求74LS138的地址范围？





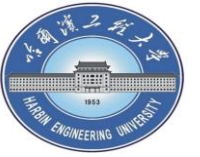
I/O端口地址译码技术习题

- $G_1 = \overline{A_4 + A_5} \times \overline{A_8 + A_7} \times \overline{A_3 + AEN}$
- $G_{2A} = \overline{A_9}$ $G_{2B} = \overline{A_6}$
- $C = A_2$ $B = A_1$ $A = A_0$

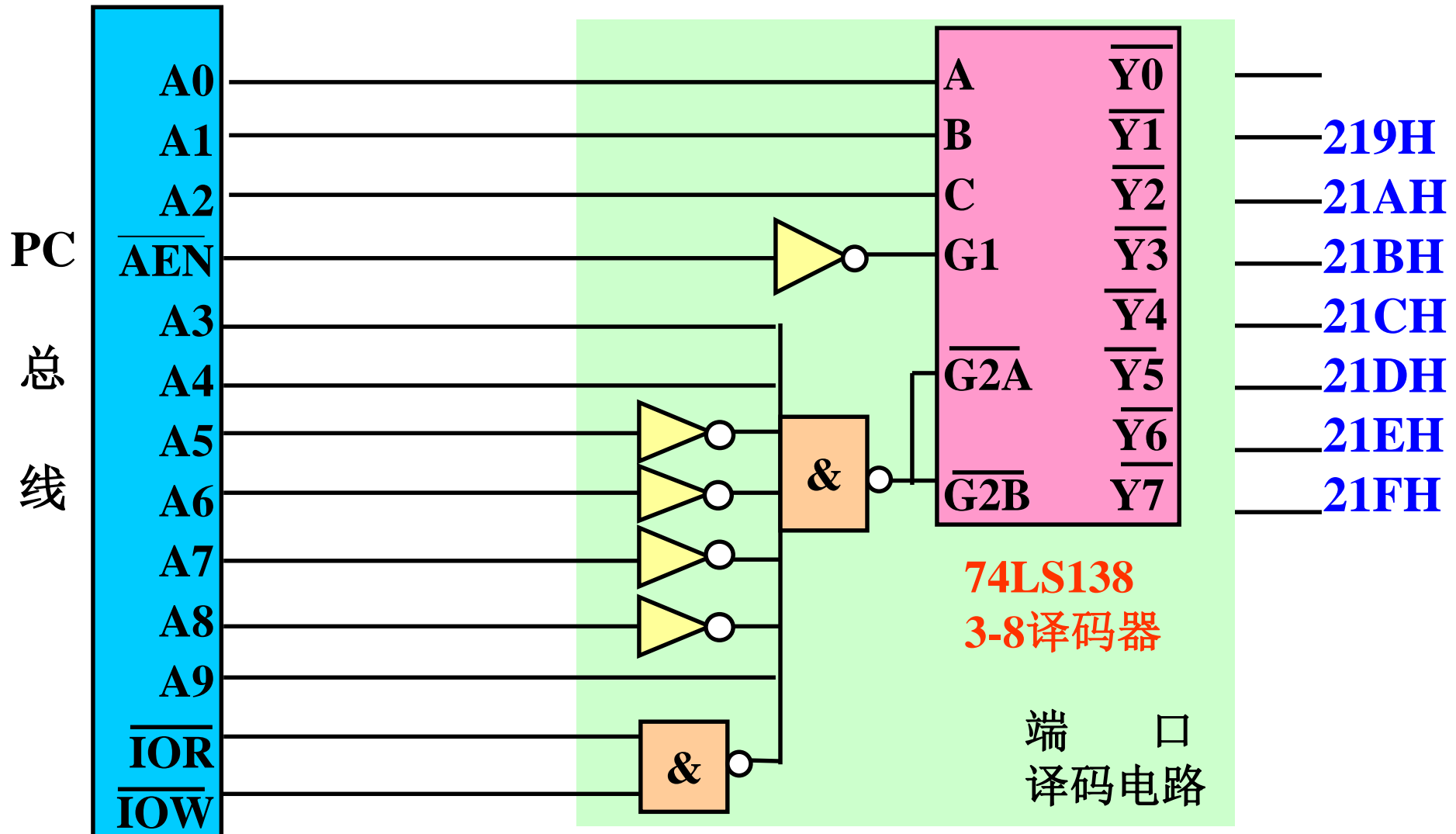
A_9 A_8 A_7 A_6 A_5 A_4 A_3 (A_2 A_1 A_0) AEN
1 0 0 1 0 0 0 X X X 0

故：译码器的地址范围为240-247H

I/O端口地址译码技术习题

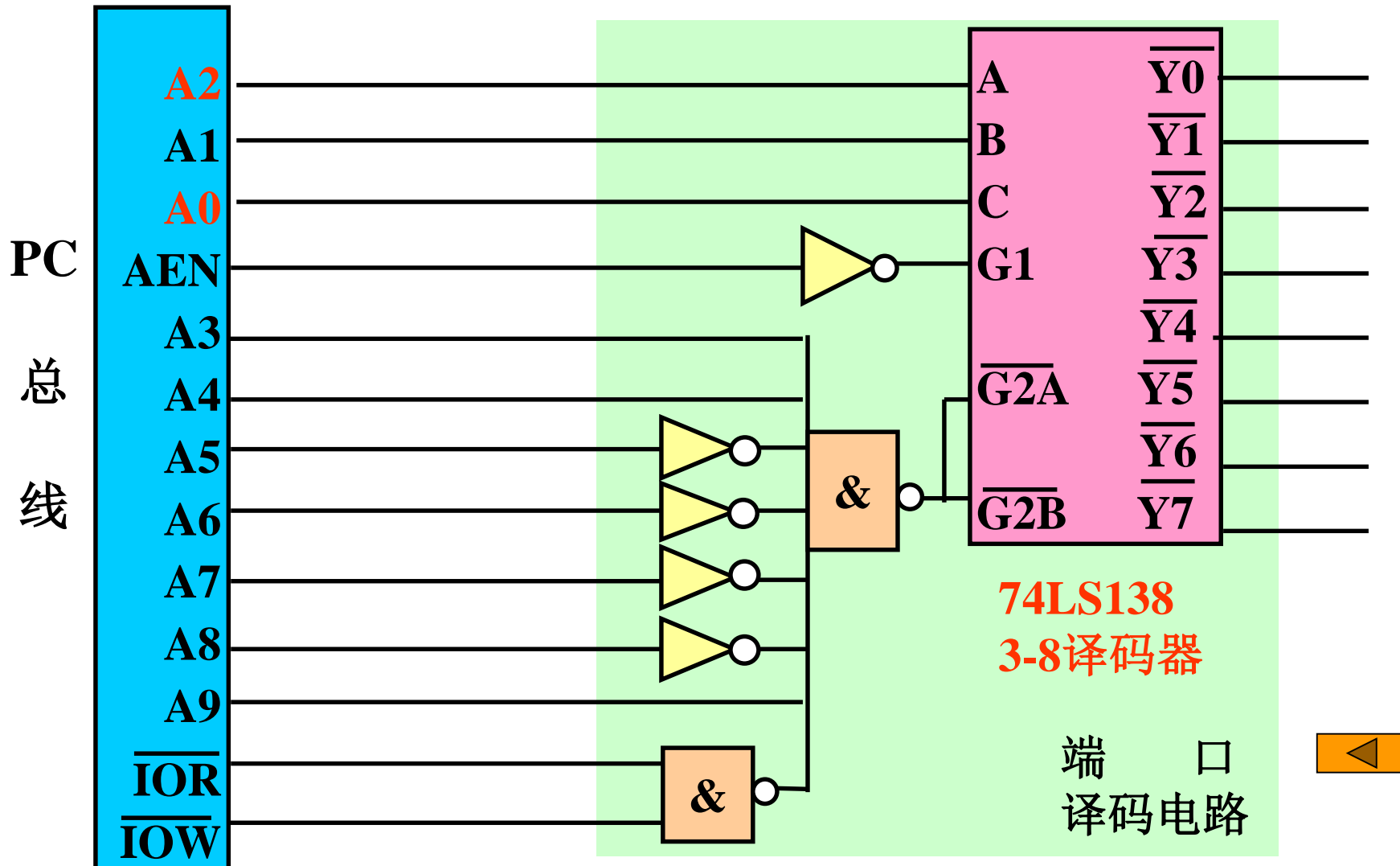


思考1: Y2~ Y7 译出的端口地址各是多少?

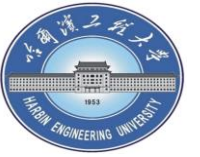


I/O端口地址译码技术习题

将A0与A2位置互换， $\overline{Y0} \sim \overline{Y7}$ 译出的地址各是多少？



I/O端口地址译码技术习题



1. 什么是端口？
2. I/O端口的编址方式有几种各有何特点？
3. I/O端口地址译码电路在接口电路中的作用是什么？
4. 在I/O端口地址译码电路中常常设置 $AEN=0$ ，这有何意义？
5. 通常所说的I/O操作是指CPU直接对I/O设备进行操作，这话对吗？
6. 在独立编址方式下，CPU采用什么指令来访问端口？
7. 在I/O指令中端口地址的宽度及寻址方式有哪两种？
8. I/O端口地址译码电路一般有哪几种结构形式？
9. I/O地址线用作端口寻址时，高位地址线和低位地址线各作何用途如何决定低位地址线的根数？
10. 可选式I/O端口地址译码电路一般由哪几部分组成？